ELEKTRONIKA DIGITALA

Azterketa eredua:

1 Ariketa

- a Funtzioak osatu, karnaugh, minterms, maxterms
- b Karnaugh erabiliz, minterms edo maxterms sinplifikatu
- c Dekodifikadorearekin aurreko funtzioa (b atalekoa) egin

2 Ariketa (5. gaia)

Zirkuitu integratuak displayak etab. erabiliz zerbait kontrolatuko duen zirkuitua diseinatu

3 Ariketa (Teoria)

Arrisku estatikoak GLITCH Zirkuituak (barruan ateek dituzten anplifikadore...) TTL-CMOS interfaceak

4 Ariketa

Laborategia

Minterms

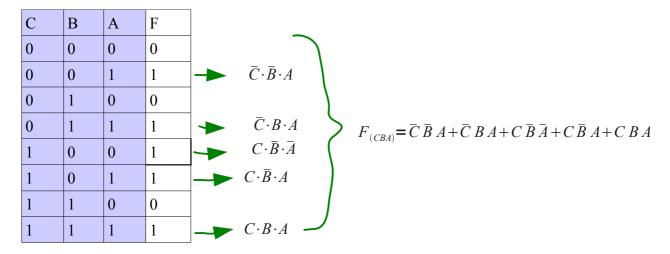
-Minetrms: Biderketen arteko batuketa: $DCB\overline{A} + D\overline{C}BA + \overline{D}CBA$

Idazkera:

$$F_{(DCBA)} = \sum (m_{3,} m_{4,} m_{13,} m_{15}) = D\bar{C} B A + DC B \bar{A} + DC B A + DC B A =$$

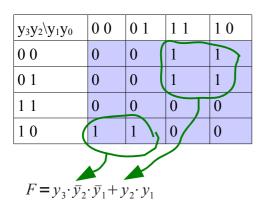
$$= \sum (3, 4, 13, 15) = 0011 + 0100 + 1101 + 1111$$

Egitaulatik lortzeko:



Batekoak hartuko ditugu kontuan (F 1 denean) eta C, B edo A-n 0 duten aldagaiak alderanztatuta egongo dira eta 1 dituztenek ez.

Karnaugh-en mapa erabiliz:



Karnaugh erabiliz funtzioa minterms erara idazteko, batekoak kontuan hartu behar ditugu soilik. Batekoekin laukiak edo laukizuzenak osatzen dituzten 1, 4, 8,16... elementuko taldeak egin behar ditugu. Talde hauetan amankomunean dauden aldagaiak kontuan hartuko ditugu bakarrik. Eta lehen esan bezala, 1ekoak aldagaiak berez izango dira (ezeztatu gabe) 0 duten aldagaiak ezeztatuta joango dira.

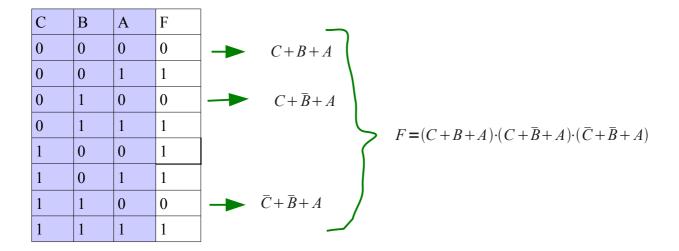
Maxterms

-Maxterms: Batuketen arteko biderketa $(C+B+\bar{A})\cdot(\bar{C}+B+\bar{A})\cdot(C+\bar{B}+A)$

Idazkera:

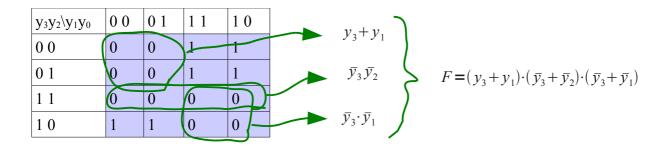
$$F(D,C,B,A) = \prod (7,5,13,14) = M_7 \cdot M_{13} \cdot M_{14} = 0111 \cdot 0101 \cdot 1101 \cdot 1110 = (D + \overline{C} + \overline{B} + \overline{A}) \cdot (D + \overline{C} + B + \overline{A}) \cdot (\overline{D} + \overline{C} + B + \overline{A}) \cdot (\overline{D} + \overline{C} + \overline{B} + A)$$

Egitaulatik lortzeko:



Orain 0ak gartuko ditugu kontuan bakarrik eta aldagaiek Low (0) balioa dutenean aldaranztatu gabe egongo dira funtzioan, High (1) balioa dutenean aldagaiak aldaranztatuta egongo dira.

Karnaugh-en mapatik lortzeko:



Karnaugh-en mapa erabiliz Maxterms egiteko, zeroak hartuko ditugu kontuan eta mulzoak amankomunean duen aldagaia 1 bada, ezeztatua egongo da, 0 baldin bada, normal egongo da.

Karnaugh-en mapa betetzeko metodo azkarra.

Metodo hau eraabili egin ahal izateko, egitaula gray kodean idatzita egon beharko da. Ikus daitekenez, egitaularen kasilla abatetik ondokora, zenbaki bakarra aldatzen da, hori ikusirik,

egitaula askoz errezago pasa dezakegu mapara baldin eta grayn idatzita baldin badago, izan ere, taularen balioak zuzenean kopiatuko genituzkelako mapan hurrengo ordena jarraituz:

						1	1		
CD\EF	0 0	0 1	1 1	1 0	CD\EF	0 0	01	11	10
0 0	0	1_	2	3	0 0	34	30	29	28
0 1	7	6	5	4	0 1	24_	25	26	27
11	8	9	10	-11	1 1	23	22	21	20
1 0	15	14	13	12	1 0	16/	17	18	19
CD\EF	0 0	0 1	1 1	10	CD\EF	00	0 1	1 1	10
0 0	63	62_	61	-60	0 0	32	33	34	35
0 1	56	57	58	59	0 1	39	38	37	36
1 1	55_	54	53	52	1 1	40-	41	42	43
1 0	48	49	50	-51	1 0	47	46	45	44

Gray kodea

De Morganen Teoremak:

De Morganen teoremak hurrengo bi berdinketa hauek dira, boolen algebra barnean eta, ondorioz elektronika digitalean oso garrantzi handia dutenak

$$\overline{x \cdot y} = \overline{x} + \overline{y}$$
 eta $\overline{x + y} = \overline{x} \cdot \overline{y}$ dira.

Nand edota Nor ateen bidezko funtzioen garapena:

De Morganen teoreman oinarrituta, Nor edo Nand ateekin soilik, edozein funtzio lor dezakegu.

NOR ateekin beste funtzioak eraikitzeko:

-NOR:
$$F = \overline{A + B}$$

-NAND:

$$F = \overline{\overline{A} + \overline{B}} = \overline{\overline{A \cdot B}} = \overline{A \cdot B}$$

-OR:

$$F = \overline{\overline{A + B}} = A + B$$

-AND:

$$F = \overline{A} + \overline{B} = \overline{A \cdot B} = A \cdot B$$

-NOT:

$$F = \overline{A + A} = \overline{A}$$

NAND ateekin beste funtzioak eraikitzeko:

-NAND:

$$F = \overline{A \cdot B}$$

-NOR·

$$F = \overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A} + B} = \overline{A + B}$$

-AND:

$$F = \overline{\overline{A \cdot B}} = A \cdot B$$

-OR:

$$F = \overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A} + B} = A + B$$

-NOT:

$$F = \overline{A + A} = \overline{A}$$

Glitch-ak eta arrisku estatikoak

Glitch bat nahi ez den korronte edo tentsio piko bat da, atzerapenen ondorioz sortutakoa. Hau zirkuituak seinaletzat ikus dezake eta zirkuituaren funtzionamenduan akatsak sor daitezke. Glitch bat eman daitekeen jakiteko Karnaughen mapan, funtzioaren barnean bi multzo desberdinetan sarturik dauden ondoz ondoko bi balio dauden ikusi egin baharko da. Batetik bestera pasatzean glitchik sortzen den ikusi egin beharko da bi norabideetan eta sortzekotan, konponbideetariko bat aukeratu beharko da.

Konponbideak:

Atzerapenak sartu

Balidazioa

Erredundantzia: Logika erredundantea erabiltzean datza konponbide hau, hau da, behar ez diren baina funtzioaren emaitza aldatuko ez duten funtzio zatiak sartzea (funtzioa "dessinplifikatzea").

Zirkuitu integratu digitalen teknologia TTL eta CMOS tekonologiak:

CMOS: Complementary metal oxide semiconductor. Trantsizio egoeran kontsumitzen du soilik, gainera, elikatzeko tarte zabala du.

TTL: Transiltor-transistor logic. Teknologiarik ospetsuena da, erantzuteko abiadura handia eta zaratarekiko inmunitatea ditu.

Tentsio irteera sarrera ezaugarriak:

- -V_{IHmin}: Sarrera batek maila altutzat (High: 1) hartzen duen boltaia minimoa da
- -V_{ILmax}: Sarrera batek maila baxutzat (Low: 0) hartzen duen balio maximoa da.
- $-V_{OHmin}$: Irteera batek maila altua emateko (High: 1) izan dezakeen gutxieneko irteera-boltaia, baldin eta irteerak ematen duen intentsitatea, I_{OHmax} baino txikiagoa bada.
- V_{OLmax}: Irteera batek maila baxua emateko (Low: 0) izan dezakeen gehiengo balioa izango da, baldin irteerak jaotzen duen intentsitatea I_{OLmax} baino txikiagoa bada.

Intentsitate irteera sarrera ezaugarriak:

- -I_{IHmax}: Maila altua aplikatzen zaion ate batek eskatuko duen intentsitate balore maximoa.
- -I_{II.max}: Maila baxua aplikatzen zaionean sarrera bati, honek eskatzen duen intentsitate maximoa.
- -I_{OHmax}: Irteera batek eman dezakeen intentsitate maximoa, V_{OHmin} balio azpitik erori gabe.
- -I_{OLmax}: Irteera batek xurgatu dezakeen intentsitate maximoa, irteeraren V_{OLmax} balioa gainditu gabe.

OHARRA: Hitzarmen moduan, intentsitateek zeinu positiboa izango dute ate logikoaren barnerantz doazenean eta zeinu negatiboa konporantz doazenean

<u>Teknologia ezberdinen arteko interfazeak (pull-up):</u>

CMOS-TTL artean konexioak egiteko ez dago arazorik.

V_{OHmin} CMOS=4,9v V_{IHmin} TTL = 2v hortaz, maila altuan tentsioekin ez dago arazorik.

 V_{OLmax} CMOS=0,1v eta V_{ILmax} TTL = 0,8 beraz, maila baxuan arazorik ez.

 I_{OLmax} CMOS= 4mA eta I_{ILmax} TTL = 1,6 mA beraz, CMOS-aren fan-out 2 TTL ate izango da.

TTL-CMOS

 V_{OHmin} TTL = 2,4v eta V_{IHmin} CMOS = 3,15v da, beraz, CMOS sarreran high lortzeko TTL ateak ez du tentsio nahikorik ematen.

 V_{OLmax} TTL=0,4V eta V_{ILmax} CMOS = 1v beraz, maila baxuan arazorik ez dago.

TTL-CMOS artean maila altuan dagoen arazoa konpontzeko TTL-CMOS interface bat egingo dugu pull-up erresistentzia baten bidez (R_p)

$$V_{cc} = R_p \cdot I_p \cdot V_{OLmax}$$
 eta $I_{OLmax(TTL)} = n \cdot I_{ILmax(CMOS)} + I_{RP}$ beraz, R_p ren balioa hau da:

$$R_p = \frac{V_{cc} - V_{OLmax}}{I_{OLmax(TTL)} - n \cdot I_{ILmax(CMOS)}}$$
 non n kitzikatu egin behar diren CMOS sarrera kopurua den.

Moduluz garatutako zirkuitu konbinazionalak:

Batutzaileak (adders):

Erdibatutzailea (half adder):

Bi bit bakarreko sarreren arteko batuketa egiten duen zirkuitua da.

Sarrerak:		Irteerak:	
a	b	s c	a eta b sarrerak dira, s batuketaren emaitza eta c
0	0	0 0	bururakoa (carry)
0	1	1 0	
1	0	1 0	a ———— S
1	1	0 1	b c

Zirkuitua:

Batutzaile osoa (full adder)

Batutzaile honen bitartez, bit bat bino gehiagoko zenbakiak batu egin daitezke. Hau da beraien diagrama:

